

S. Stevenson  
4  
122701

**IN THE UNITED STATES PATENT & TRADEMARK OFFICE**

Serial No.:	Filed:	Inventor(s):	Atty Dkt:
09/826,383	4 April 2001	Yoshida, <i>et al</i>	0694-143
Title: ELECTROMAGNETIC NOISE SUPPRESSOR, SEMICONDUCTOR DEVICE USING THE SAME, AND METHOD OF MANUFACTURING THE SAME			Examiner:
			NA
			Art Unit:

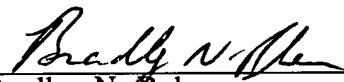
Commissioner of Patents & Trademarks  
Asst. Commissioner for Patents  
Washington, DC 20231-0001

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Dear Sir:

Attached are four (4) certified copies of Japanese application numbers 101895/2000 filed April 4, 2000, 340406/2000 filed November 2, 2000, 342789/2000 filed November 10, 2000 and 342835/2000 filed November 10, 2000 upon which priority is based for the above-referenced application.

Respectfully submitted,

  
Bradley N. Ruben  
Reg. No. 32,058  
Hopgood, Calimafde,  
Judlowe & Mondolino  
60 East 42nd Street  
New York, NY 10165  
212-551-5000  
fax 212-949-2795

31 August 2001



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年11月10日

出 願 番 号

Application Number:

特願2000-342835

出 願 人

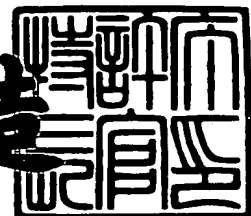
Applicant(s):

株式会社トーキン

2001年 3月16日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3020366

【書類名】 特許願

【整理番号】 T-9129

【提出日】 平成12年11月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01F 10/00

【発明者】

【住所又は居所】 宮城県仙台市太白区郡山六丁目 7 番 1 号 株式会社トーキン内

【氏名】 ▲吉▼田 栄▼吉▲

【発明者】

【住所又は居所】 宮城県仙台市太白区郡山六丁目 7 番 1 号 株式会社トーキン内

【氏名】 小野 裕司

【発明者】

【住所又は居所】 宮城県仙台市青葉区大手町 1 0 番 1 5 - 3 0 3 号

【氏名】 山口 正洋

【発明者】

【住所又は居所】 宮城県仙台市青葉区桜ヶ丘七丁目 3 7 - 1 0

【氏名】 島田 寛

【特許出願人】

【識別番号】 000134257

【氏名又は名称】 株式会社トーキン

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【選任した代理人】

【識別番号】 100101959

【弁理士】

【氏名又は名称】 山本 格介

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電磁雑音抑制体およびそれを用いた電磁雑音の抑制方法

【特許請求の範囲】

【請求項 1】 マイクロストリップ線路ないしそれに類する信号伝送線路の直上配置される導電性の軟磁性薄膜からなり、伝導性の電磁雑音を抑制する電磁雑音抑制体であって、前記導電性の軟磁性薄膜は前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状であることを特徴とする電磁雑音抑制体。

【請求項 2】 請求項 1 記載の電磁雑音抑制体において、磁化困難軸方向が、前記マイクロストリップ線路ないしそれに類する信号伝送線路の幅方向に対して略平行となるように配置されていることを特徴とする電磁雑音抑制体。

【請求項 3】 請求項 1 又は 2 記載の電磁雑音抑制体において、前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状の前記軟磁性薄膜の幅方向のアスペクト比が 10 以上であることを特徴とする電磁雑音抑制体。

【請求項 4】 請求項 1 乃至 3 の内のいずれか一つに記載の電磁雑音抑制体において、前記軟磁性薄膜は、 $M$  ( $M$ は、 $Fe$ 、 $Co$ 、 $Ni$ のいずれか、もしくはそれらの混在物) -  $X$  ( $X$ は、 $M$ および $Y$ 以外の元素、もしくはそれらの混在物) -  $Y$  ( $Y$ は、 $F$ 、 $N$ 、 $O$ の内のいずれか、もしくはそれらの混在物) 組成からなりグラニューラー構造を有することを特徴とする電磁雑音抑制体。

【請求項 5】 マイクロストリップ線路ないしそれに類する信号伝送線路の直上に導電性の軟磁性薄膜からなる電磁雑音抑制体を配設して、伝導性の電磁雑音を抑制する伝導性雑音の抑制方法であって、前記導電性の軟磁性薄膜は前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状であることを特徴とする電磁雑音の抑制方法。

【請求項 6】 請求項 5 記載の電磁雑音の抑制方法において、前記電磁雑音抑制体の磁化困難軸方向が、前記マイクロストリップ線路ないしそれに類する信号伝送線路の幅方向に対して略平行となるように配置されることを特徴とする電磁雑音の抑制方法。

【請求項 7】 請求項 5 又は 6 記載の電磁雑音の抑制方法において、前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状の前記軟磁性薄膜の幅方向のアスペクト比が 10 以上であることを特徴とする電磁雑音の抑制方法。

【請求項 8】 請求項 5 乃至 7 の内のいずれか一つに記載の電磁雑音の抑制方法において、前記軟磁性薄膜は、M (M は、Fe、Co、Ni のいずれか、もしくはそれらの混在物) - X (X は、M および Y 以外の元素、もしくはそれらの混在物) - Y (Y は、F、N、O の内のいずれか、もしくはそれらの混在物) 組成からなりグラニューラ構造を有することを特徴とする電磁雑音の抑制方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波電磁雑音の抑制方法に関し、詳しくは、高速動作する能動素子あるいは高周波電子部品および電子機器において問題となる電磁雑音の抑制に有効である軟磁性薄膜を用いた高周波電磁雑音抑制体とそれを用いた電磁雑音の抑制方法に関する。

【0002】

【従来の技術】

近年、高速動作する高集積な半導体素子の普及が著しい。その例として、ランダムアクセスメモリ (RAM)、リードオンリーメモリ (ROM)、マイクロプロセッサ (MPU)、中央演算処理装置 (CPU) 又は画像プロセッサ算術論理演算装置 (IPALU) 等の論理回路素子がある。これらの能動素子においては、演算速度や信号処理速度が日進月歩の勢いで高速化されており、高速電子回路を伝播する電気信号は、電圧、電流の急激な変化を伴うために、誘導性の高周波電磁雑音の主要因となっている。

【0003】

一方、電子部品や電子機器の軽量化、薄型化、小型化の流れも止まる事を知らぬが如く急速な勢いで進行している。それに伴い、半導体素子の集積度や、プリント配線基板への電子部品実装密度の高密度化が著しい。

## 【 0 0 0 4 】

従って、過密に集積あるいは実装された電子素子や信号線が、互いに極めて接近することになり、前述した信号処理速度の高速化と併わせて、高周波の不要輻射が誘発され易い状況となつている。このような近年の電子集積素子あるいは配線基板においては、能動素子への電源供給ライン等からの電磁雑音流入の問題が指摘され、電源ラインにデカップリングコンデンサ等の集中定数部品を挿入する等の対策がなされている。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

しかしながら、高速化された電子集積素子あるいは配線基板においては、発生する電磁雑音が高調波成分を含むために、信号の経路が分布定数的な振る舞いをするようになり、従来の集中定数回路を前提にした電磁雑音対策が効を発しない状況が生じていた。そこで、このような高速動作する半導体素子や電子回路などの電磁雑音対策に有効な電磁雑音抑制体とそれを用いた電磁雑音抑制方法との開発が要求されていた。より詳しくは、より小さな体積で効果的に電磁雑音対策を行う方法の開発が要求されていた。

## 【 0 0 0 6 】

そこで、本発明者らは、以前に高周波での磁気損失の大きな複合磁性体を発明し、これを電磁雑音源あるいはその伝送線路の近傍に配置する事で、上記した半導体素子や電子回路などから発生する電磁雑音を効果的に抑制する方法を見出している。

## 【 0 0 0 7 】

この様な磁気損失を利用した電磁雑音抑制の作用機構については、最近の研究から、電磁雑音源あるいはその伝送線路となっている電子回路に対して等価的な抵抗成分が付与される為であることが分かっている。ここで、等価的な抵抗成分の大きさは、磁性体の磁気損失項 $\mu''$ の大きさに依存している。より詳しくは、電子回路に等価的に挿入される抵抗成分の大きさは、磁性体の面積が一定の場合には $\mu''$ と磁性体の厚さに略比例する。

## 【 0 0 0 8 】

したがって、より小さなあるいはより薄い磁性体で所望の電磁雑音抑制効果を得るためには、より大きな $\mu''$ が必要になってくる。例えば、半導体素子のモールド内部のような微小領域において磁気損失体を用いた電磁雑音対策を行う為には、磁気損失項 $\mu''$ が極めて大きな値である必要があり、従来の磁気損失材料に比べて格段に大きな $\mu''$ を有する磁性体が求められていた。

## 【 0 0 0 9 】

このような要求を実現するための方策として、本発明者らは、以前にスパッタ法あるいは蒸着法による軟磁性体の研究過程において、微小な磁性金属粒子が、セラミックスのような非磁性体中に均質に分散されたグラニューラー磁性体の優れた透磁率特性に着目し、磁性金属粒子とそれを囲う非磁性体の微細構造を研究した結果、グラニューラー磁性体中に占める磁性金属粒子の濃度が特定の範囲にある場合に、高周波領域において優れた磁気損失特性が得られる事を見出し、その優れた電磁雑音抑制効果を示した（詳しくは、特願 2 0 0 0 - 5 2 5 0 7、参照）。

## 【 0 0 1 0 】

すなわち、グラニューラー磁性体は、極めて大きな磁気損失項 $\mu''$ を有するために、電磁雑音の抑制に必要な虚数部パーミアンス（磁気損失項 $\mu''$ と磁性体体積の積）を極薄い厚さで実現することが出来るため、半導体素子内部のような微小な領域での電磁雑音対策に利用することができる。

## 【 0 0 1 1 】

ところが、グラニューラー磁性体は、電気抵抗率がおおよそ  $10000 \mu\Omega\text{cm}$  以下であって電氣的には導電体として作用するため、例えば、グラニューラー磁性体をマイクロストリップ線路のような伝送線路の直近に配設して、線路に流れる高周波の電磁雑音を抑制する場合において、電磁雑音は効果的に抑制されるものの、その抑制機構には、磁気損失による透過損失に加えて、グラニューラー磁性体の導電性に由来すると考えられる現象により生じる反射損失が含まれる。

## 【 0 0 1 2 】

従って、グラニューラー磁性体の配設による電磁雑音の流出は効果的に抑制されるものの、電磁雑音成分の一部が反射されて信号源に戻ってしまうことが起こる



ので、信号源での二次障害が発生する場合があった。

【0013】

そこで、本発明は、かかる現状に鑑みてなされたものであって、半導体素子内部のような微小電子回路において、優れた磁気損失特性を有する導電性の磁性薄膜を用いながらも、反射のない電磁雑音抑制を実現できる電磁雑音抑制体とそれを用いた電磁雑音抑制方法を提供することを技術的課題とする。

【0014】

【課題を解決するための手段】

本発明者らは、上述の反射損失が磁性体の導電性に由来するスタブ効果によるものと考え、導電性の軟磁性薄膜を電磁雑音を含む電気信号の伝送線路の幅と同程度ないしそれ以下の幅とすることで、優れた磁気損失特性を維持しつつスタブ効果を抑制し、電磁雑音の反射が抑制できることを見出し本発明をなすに至った。

【0015】

即ち、本発明によれば、マイクロストリップ線路ないしそれに類する信号伝送線路の直上配置される導電性の軟磁性薄膜からなり、伝導性の電磁雑音を抑制する電磁雑音抑制体であって、前記導電性の軟磁性薄膜は前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状であることを特徴とする電磁雑音抑制体が得られる。

【0016】

また、本発明によれば、前記電磁雑音抑制体において、磁化困難軸方向が、前記マイクロストリップ線路ないしそれに類する信号伝送線路の幅方向に対して略平行となるように配置されていることを特徴とする電磁雑音抑制体が得られる。

【0017】

また、本発明によれば、前記いずれかの電磁雑音抑制体において、前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状の前記軟磁性薄膜の幅方向のアスペクト比（即ち、軟磁性薄膜の幅方向の長さを厚さで除した比率）が10以上であることを特徴とする電磁雑音抑制体が得られる。

## 【0018】

また、本発明によれば、前記いずれか一つの電磁雑音抑制体において、前記軟磁性薄膜は、M（Mは、Fe、Co、Niのいずれか、もしくはそれらの混在物）-X（Xは、MおよびY以外の元素、もしくはそれらの混在物）-Y（Yは、F、N、Oのいずれか、もしくはそれらの混在物）組成からなりグラニュラー構造を有することを特徴とする電磁雑音抑制体が得られる。

## 【0019】

また、本発明によれば、マイクロストリップ線路ないしそれに類する信号伝送線路の直上に導電性の軟磁性薄膜からなる電磁雑音抑制体を配設して、伝導性の電磁雑音を抑制する伝導性雑音の抑制方法であって、前記導電性の軟磁性薄膜は前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状であることを特徴とする電磁雑音の抑制方法が得られる。

## 【0020】

また、本発明によれば、前記電磁雑音の抑制方法において、前記電磁雑音抑制体の磁化困難軸方向が、前記マイクロストリップ線路ないしそれに類する信号伝送線路の幅方向に対して略平行となるように配置されることを特徴とする電磁雑音の抑制方法が得られる。

## 【0021】

また、本発明によれば、前記いずれかの電磁雑音の抑制方法において、前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状の前記軟磁性薄膜の幅方向のアスペクト比（軟磁性薄膜の幅方向の長さを厚さで除した比率）が10以上であることを特徴とする電磁雑音の抑制方法が得られる。

## 【0022】

さらに、本発明によれば、前記いずれか一つの電磁雑音の抑制方法において、前記軟磁性薄膜は、M（Mは、Fe、Co、Niのいずれか、もしくはそれらの混在物）-X（Xは、MおよびY以外の元素、もしくはそれらの混在物）-Y（Yは、F、N、Oの内のいずれか、もしくはそれらの混在物）組成からなりグラ

ニューラ構造を有することを特徴とする電磁雑音の抑制方法が得られる。

【 0 0 2 3 】

本発明の上記構成によれば、半導体素子内部のような微小電子回路において、電磁雑音成分の反射を生じさせることなく不要輻射の原因となる伝導電磁雑音を抑制することが可能になる。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

【 0 0 2 5 】

はじめに、本発明において用いることのできるM (Mは、Fe、Co、Niのいずれか、もしくはそれらの混在物) - X (Xは、MおよびY以外の元素、もしくはそれらの混在物) - Y (Yは、F、N、Oの内のいずれか、もしくはそれらの混在物) 組成からなるグラニューラ構造の導電性磁性薄膜の製造方法の一例について説明する。

【 0 0 2 6 】

本発明の検証に用いるグラニューラ磁性薄膜を、下記表1に示す条件にてスパッタ法でガラス基板上に作製した。得られたスパッタ膜を300℃にて2時間真空磁場中熱処理を施し、電磁雑音評価用試料を得た。

【 0 0 2 7 】

得られた試料を蛍光X線分析分析したところ膜の組成は、 $\text{Fe}_{70}\text{Al}_{12}\text{O}_{18}$ であった。

【 0 0 2 8 】

また、本試料の直流抵抗は、 $330\mu\Omega\cdot\text{cm}$ 、 $H_k$ は210e (1.66k A/m) であり、 $M_s$ は14300 Gauss (1.43T) であった。本試料の膜厚は、SEMによる断面観察の結果、 $2\mu\text{m}$ であった。試料の磁気損失特性を検証するために $\mu-f$ 特性を調べた。

【 0 0 2 9 】

$\mu-f$  特性の測定は、短冊状に加工した検出コイルに挿入して、バイアス磁場を印加しながらインピーダンスを測定することにより行い、磁気損失項 $\mu''$  の周

波数特性を得た。磁気損失項  $\mu''$  は、周波数が 9 3 0 M H z で最大値をとり、その値は 9 4 5 であった。この試料から、下記表 2 に示す同一面積で形の異なる 4 種類の矩形状試料を切り出し、図 1 に示すような試料 1 ～ 4 とした。尚、図 1 中の矢印は、各試料の磁化困難軸方向を示している。

#### 【 0 0 3 0 】

得られた検証用の試料 1 ～ 4 の電磁雑音抑制効果を、図 2 に示す伝導電磁雑音評価系を用いて調べた。図 2 を参照すると、伝導電磁雑音評価系は、裏面が全面地導体である誘電体基板 5 上に形成されたマイクロストリップ線路 6 の両端が同軸ケーブル 8、9 を介してネットワークアナライザ 1 0 に接続されており、試料はマイクロストリップ線路 6 上の符号 7 に示される部分に配置される。ここで評価系に用いたマイクロストリップ線路 6 の線路幅は 3 m m であり、試料 1 は、マイクロストリップ線路に対して十分に広い幅となっている。一方、試料 2 はマイクロストリップ線路 6 の幅と略同じ幅であり、試料 3 はマイクロストリップ線路幅よりも狭い幅である。

#### 【 0 0 3 1 】

また、検証用の試料 4 は、マイクロストリップ線路 6 の幅よりも狭い幅を有する 3 つの小片からなるものである。試料 1 を除き、いずれの試料についてもマイクロストリップ線路からはみ出さぬ様に配置したと共に、試料 1 ～ 4 の全ての試料についてマイクロストリップ線路の長さ方向に対して、試料の磁化困難軸が直交するように配置した。ここで、試料のマイクロストリップ線路 6 の幅方向のアスペクト比は、全ての試料において 1 0 以上となっている。また、スタブ効果を確認するための比較試料として、厚さが 1 8  $\mu$  m で本発明の試料 1 および試料 2 と各々同じ形状を有する銅箔（基材はガラス板）を用意し、各々を比較用試料 1 および比較用試料 2 とし、これらを本発明の試料と共に測定に供した。電磁雑音抑制効果の測定結果を図 3 および図 4 に示す。ここで、図 3 は試料を評価系に配設することによって生じる反射特性（S 1 1）を示しており、図 4 は、同様に伝送特性（S 2 1）を示している。

#### 【 0 0 3 2 】

図 3 を参照すると、本発明の試料 1 と比較試料 1 については、いずれも反射特

性（S11）が、GHz帯の領域で-10dB以上となっており、試料をマイクロストリップ線路6の直上に配設したことで反射が生じていることがわかる。

【0033】

一方、マイクロストリップ線路6の幅と同等ないしそれよりも狭幅な本発明の試料2、試料3と試料4、および非磁性の比較用試料2については、GHz帯の領域においても無反射とみなせる-20dB程度あるいはそれ以下の反射特性を示しており、軟磁性薄膜の幅をマイクロストリップ線路と同等あるいはそれよりも狭い幅とすることで、軟磁性薄膜の導電性に由来するスタブ効果を抑止できていることがわかる。

【0034】

図4を参照すると、非磁性の比較試料2では減衰がみられないが、マイクロストリップ線路の幅と同等ないしそれよりも狭幅な試料2と試料3、マイクロストリップ線路幅よりも狭幅の3つの小片からなる試料4、および非磁性の比較用試料2については、磁気損失によると思われるGHz帯での透過損失が認められており、本発明の効果である反射のない電磁雑音の抑制効果を示していることが理解できる。

【0035】

【表1】

スパッタ条件	
製膜前真空度	$<1 \times 10^{-6}$
製膜時雰囲気	Ar
電源	RF
ターゲット	Fe（径φ100mm） + Al <sub>2</sub> O <sub>3</sub> チップ（135個） （チップサイズ：5mm×5mm×2mm <sup>t</sup> ）

【0036】

【表 2】

		幅 (mm)	長さ (mm)
本発明	試料 1	2 0	3
	試料 2	3	2 0
	試料 3	2	3 0
	試料 4	2	1 0 × 3
比較例	比較試料 1	2 0	3
	比較試料 2	3	2 0

【0 0 3 7】

## 【発明の効果】

以上説明したように、本発明において用いられるグラニューラー構造を有する軟磁性薄膜は、厚さが  $2 \mu\text{m}$  と極めて薄いものであり、本発明を用いることで半導体集積素子内部のような微小な領域において、伝導性の電磁雑音を反射なしで抑制することが可能になり、その工業的価値は極めて大きいと言える。

## 【図面の簡単な説明】

## 【図 1】

本発明の実施の形態による電磁雑音抑制体の試料の説明に供せられる図である。

## 【図 2】

本発明の実施の形態による電磁雑音抑制体の伝導電磁雑音評価系の概略構成を示す図である。

## 【図 3】

本発明の実施の形態による電磁雑音抑制体の試料の電磁雑音抑制効果を示す図であり、反射特性 ( $S_{11}$ ) を示している。

## 【図 4】

本発明の実施の形態による電磁雑音抑制体の試料の電磁雑音抑制効果を示す図であり、伝送特性 ( $S_{21}$ ) を示している。

## 【符号の説明】

- 5 誘電体基板
- 6 マイクロストリップ線路

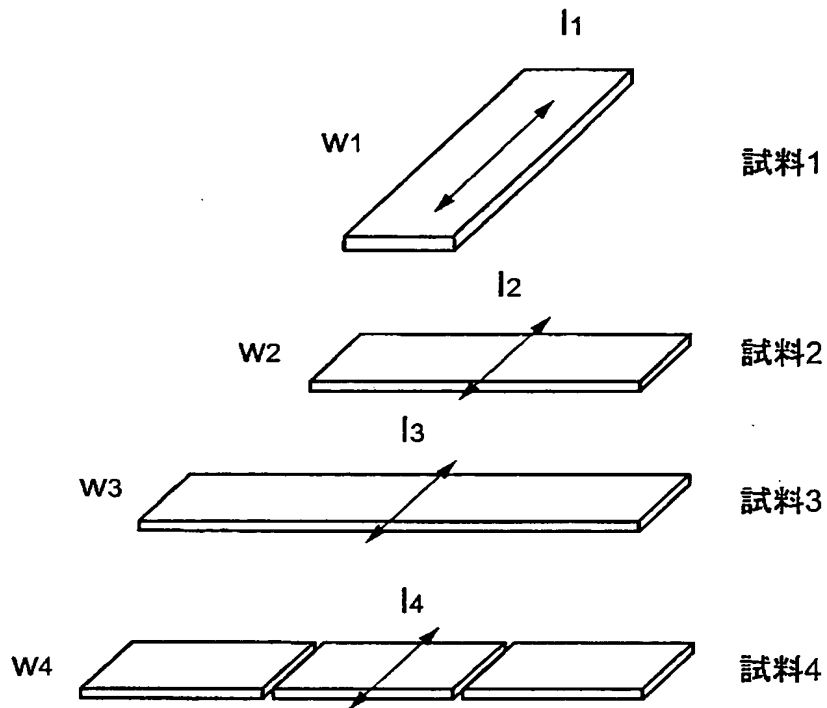
7 試料配置部分

8, 9 同軸ケーブル

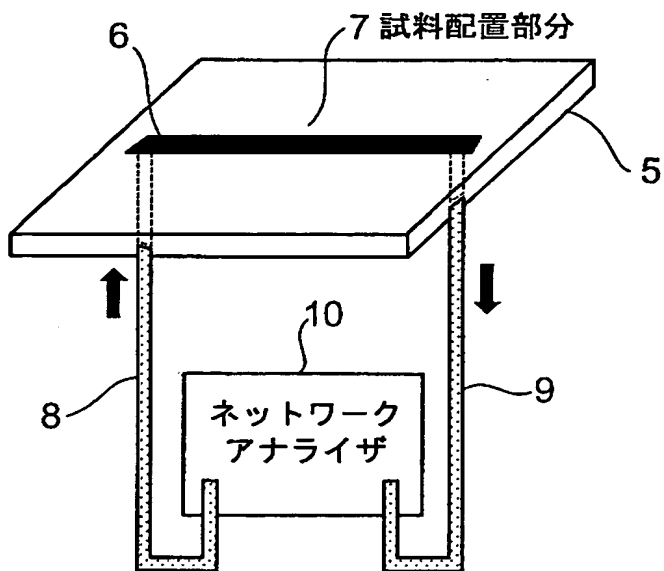
1 0 ネットワークアナライザ

【書類名】 図面

【図 1】

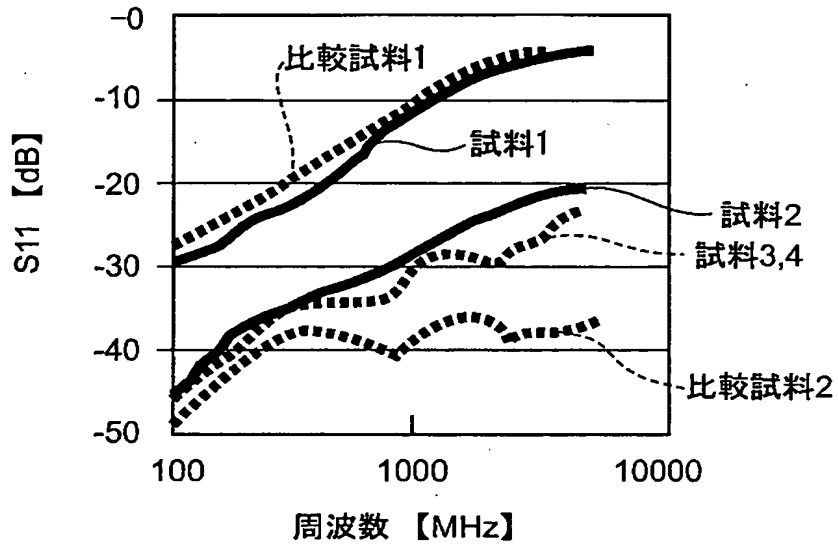


【図 2】

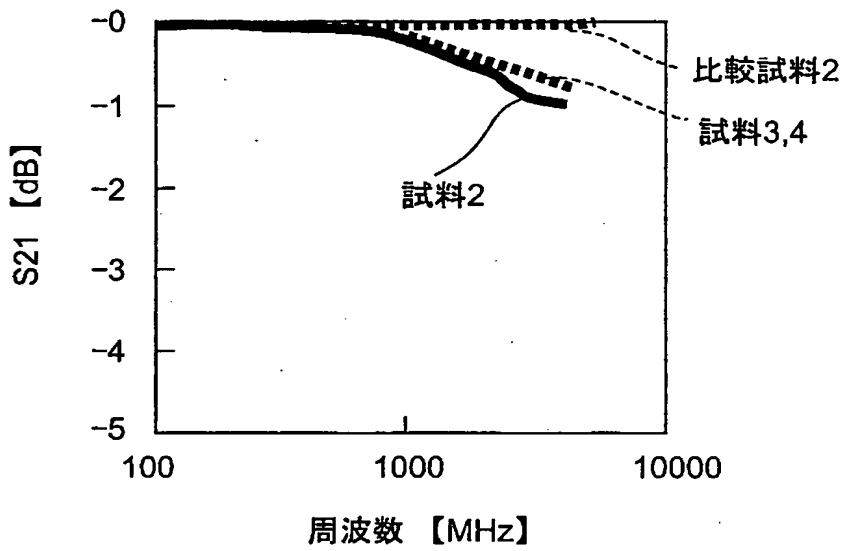




【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 半導体素子内部のような微小電子回路において、優れた磁気損失特性を有する導電性の磁性薄膜を用いながらも、反射のない電磁雑音抑制を実現できる電磁雑音抑制体とそれを用いた電磁雑音抑制方法を提供すること。

【解決手段】 マイクロストリップ線路ないしそれに類する信号伝送線路の直上配置される導電性の軟磁性薄膜からなり、伝導性の電磁雑音を抑制する電磁雑音抑制体であって、前記導電性の軟磁性薄膜は前記マイクロストリップ線路ないしそれに類する信号伝送線路の線路幅と略同等乃至それよりも狭幅な形状である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000134257]

1. 変更年月日	1990年 8月10日
[変更理由]	新規登録
住 所	宮城県仙台市太白区郡山6丁目7番1号
氏 名	株式会社トーキン